



## テクニカルノート

### 89%の効率と限定的な周波数アジリティを備えた 13.56MHz における 3kW および 5kW のハーフブリッジ、クラスD高周波電源

#### 要旨

IXYSRF は、13.56MHz の ISM 周波数における超大電力高周波電源の設計を考案した。この設計では、限定的な周波数アジリティを備え、クラス D で動作するハーフブリッジにおいて、DE 375-102N12A MOSFET 対を DEIC420 ゲートドライブ IC で駆動することにより、83.5%の効率で 3kW の出力電力を生成することができる。また、合計で 4 つの DE375-102N12A RF MOSFET を用いて、一対のモジュールにより、89%の効率で 5kW を生成することが可能である。本テクニカルノートでは、この高周波電源と、これを支援する SPICE モデルの設計について考察した。

IXYS 日本代理店 **JREP**  
ジェイレップ株式会社  
本社 大阪府吹田市豊津町2-1  
Tel:06-6368-2111 Fax:06-6368-2114  
東京 東京都港区高輪3-19-20  
Tel:03-5789-2310 Fax:03-3449-7844  
e-mail:info@j-rep.com



## イントロダクション

多くの産業プロセスでは、一つまたは複数の ISM 周波数において数キロワットが必要になる。さらに、これらの電源には、ある程度の周波数アジリティが求められることが多い。このようなニーズを考慮し、IXYSRF では ISM 周波数における超大電力高周波電源のプロトタイプを考案した。このプロトタイプ電源は、13.56MHz のクラス D で動作するハーフブリッジトポロジにおいて、DE375-102N 12A MOSFET 対を DEIC420 ゲートドライブ IC によって駆動するものである。我々は、83.5%の効率で 3KW の電力出力を実現した。また、4 つの DE375-102N 12A RF MOSFET を用いることにより、モジュール対において、89%の効率で 5KW を生成することができた。この設計は、ゲートドライバ、ハーフブリッジ、および出力タンクの三つのモジュールで構成される。電力出力は高圧電源を用いて調節した。周波数はインプットクロックによって調節を行なった。本稿では、鍵を握る三つのセクションについて詳しく考察するとともに、スパイスモデルのシステム全体について言及する。また、アプリケーションによっては、電源に周波数アジリティ機能が求められることがある。このような機能により、何らかの周波数調節を行なうことで同調操作を支援できるからである。この主題についても各セクションにおいて考察する。まず、最初に考察するのはゲートドライバである。

## ゲートドライバ (IXYSRF モジュール No. 5040-0289B)

あらゆる高周波数トポロジの場合と同様に、ゲートドライブセクションは極めて重要である。ゲートドライバが大電流においてナローゲートパルスを生じなければ、システムの全体的な性能が低下してしまうからである。本稿に提示するゲートドライバは、2kW から 10kW 超の範囲において複数の高周波電源設計のための MOSFET 素子を駆動できるよう設計され、周波数アジリティを備えた低コストの狭帯域ドライバである。

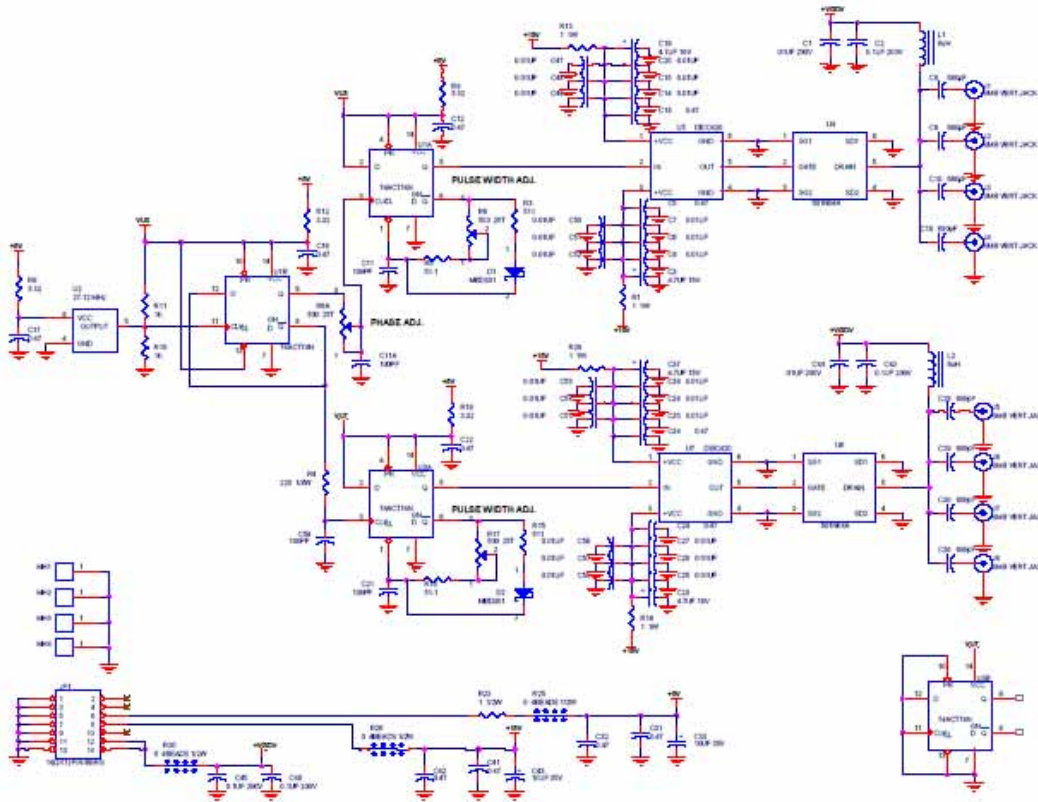


図1 ハーフブリッジのRFゲートドライブ

図1に、ゲートドライバの回路図を提示する。このドライバは、1から4の3KWモジュールを駆動するように設計されており、10KWのシステム設計が可能である。シグナルフローは次のとおりである。まず、U2は27.12MHzのクロックである。このシグナルが2のフリップフロップによる分割回路のU1Bに発信される。互いに180°ずれている反位相の二つのシグナルは、その後、2つの単発性パルス発振回路であるU1AとU3Aに送られる。パルス幅は、R6およびR17による最大効率の最大システム電力に対して設定されている。その後、パルスは、DEIC420ゲートドライバに送られ、結果的にU4とU6が駆動されるのである。U4とU6の回路関数は同一であることから、本稿ではU4の回路における動作についてのみ考察する。U4が駆動されて導通状態になると、U4を切断するまで電流が増加し、L1に蓄積されたエネルギーによってドレインリードが強制的に高電圧レベルになる。この高電圧パルスは、C8、C9、C10、およびC16によってゲートドライブの変圧器と連結される。

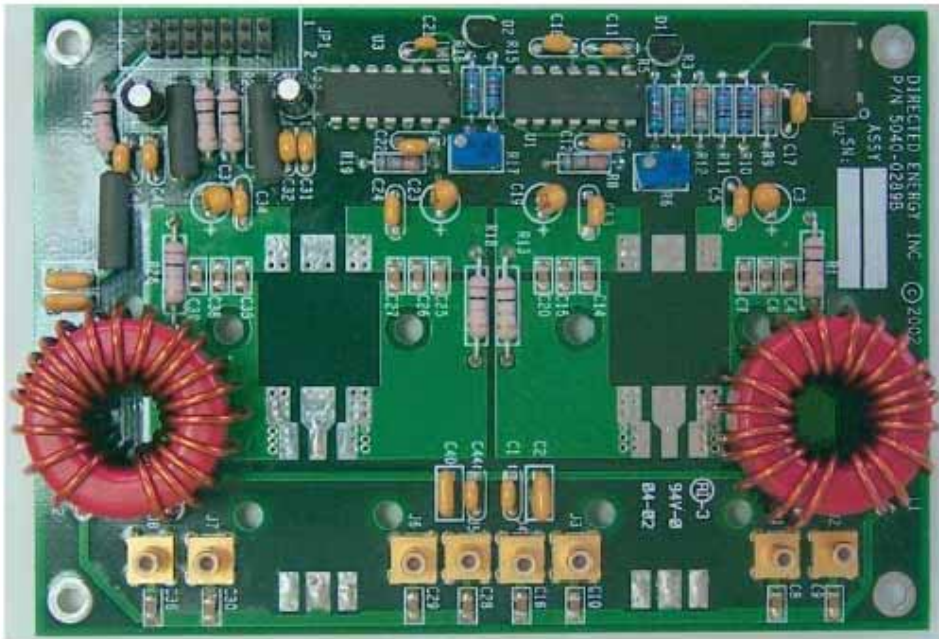


図2 ゲートドライブモジュール

図2は、ゲートドライバモジュールの全体を提示したものである。SMBコネクタにおけるゲートドライバの一次出力は、写真上では下の方に見えている。電力素子（DEI420ゲートドライブICおよびDEI150-501 N04A MOSFET）は、PCBの下側に搭載されている。

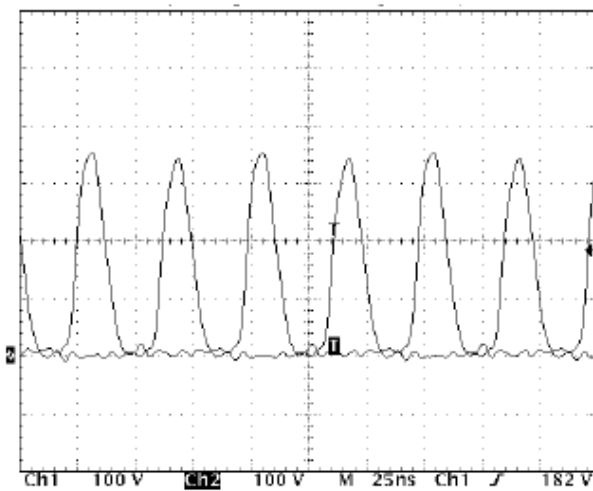


図3 一次ゲートドライブ

図3に一次ゲートドライブを示す。U4のドレインにおける電圧ピークは300Vである。ゲートドライブモジュールに対する高圧電力要件は、約0.8Aで61VDC、約3Aで15V、0.1A未満で5Vである。61V電源は、駆動されるモジュール数と選択する出力素子サイズに応じて電力消費量変動する。

## ハーフブリッジ (IXYSRF モジュール No. 5040-0290C)

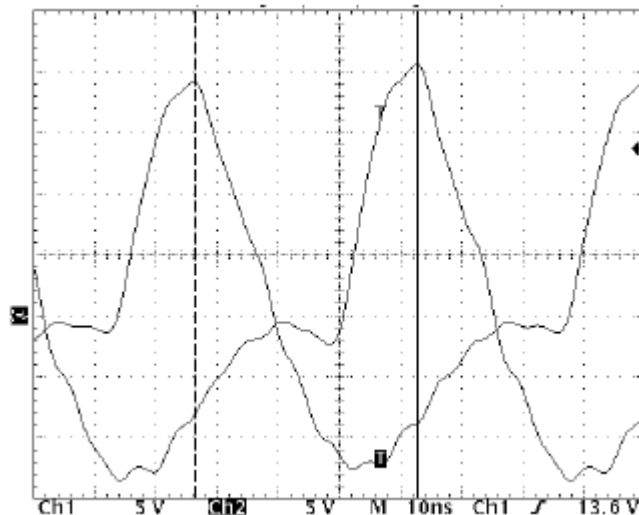


図4 二次ゲートドライブ

図4に、図5に示す変圧器 T1 および T2 の二次側のゲートドライブを示す。これらの波形は  $V_{ds}$  を印加せずに捕捉したものである。ゲートドライブの変圧器は 10 : 1 の降圧である。こうすることによって MOSFET のゲートに対し、インピーダンスの極めて低いゲートドライブが確保できるのである。ピークの正電圧レベルは約 18V、負のピークは約 12V である。ゲート閾値で測定されるパルス幅は 20ns で、二つのパルスの間隔は 73.75ns 離れている。システムの効率はゲート幅と位相の両方に極めて高い感度を示す。これら二つのパラメータを実験的に変化させてみることにより、望ましい最適な性能や電力、効率を確保しなければならない。

ここで述べておかなければならないのは、出力セクションのゲートドライブ回路と変圧器、すべての接続回路が極めて重要になるという点である。電力素子の入力容量とともに、ゲートドライブ変圧器の浮遊インダクタンスや漏れインダクタンスもタンク回路を構成する。この寄生素子による影響は図4からも明らかにわかる。この寄生回路の共振が動作周波数に近すぎると、不適切なタイミングで電力素子が起動され、動作が不安定になったり、素子の破損が起こる可能性がある。

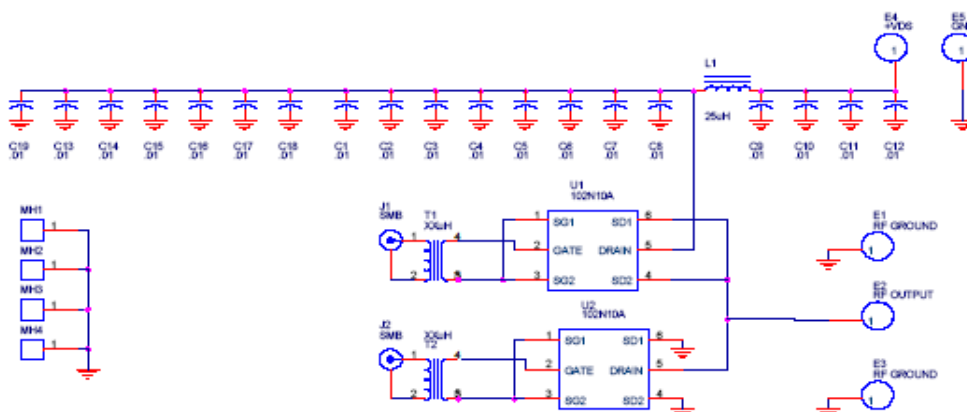


図5 RF出力段

図5に3kW電源のRF出力段を図示する。J1およびJ2に、20nsのゲートドライブパルスが印加される。これら二つの駆動パルスは時間が73.75nsによってオフセットされる。

U1およびU2は、交互の半サイクルで導通状態に駆動される。ハーフブリッジにおけるクラスDトポロジのメリットは、素子の動作エリアを最大限に活用でき、出力ノードが+VDSと接地の間でしか動かないため、過電圧状態に対して頑健な出力段を確保できるという点にある。この回路の機械学的なレイアウトを図6に提示する。

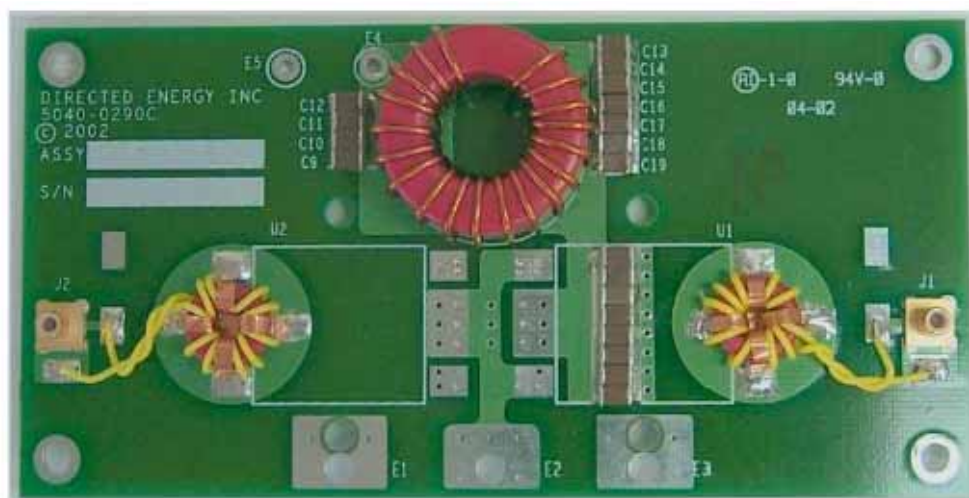


図6 ハーフブリッジ

図6に示したのはハーフブリッジセクションである。RFチョークが中央に位置し、左に高圧電源バイパスが見える。ドレインバイパスコンデンサはRFチョークの右側の列にあり、U1参照番号の左にバランス回路が配置されている。出力素子は2つのDE375-102N 12A MOSFETであり、これらがPCBの下側に取り付けられている。

ブリッジの出力ノードにはE2と表示され、両側にE1とE3のシステム接地が配置されている。二つのゲートドライブ変圧器の構成は機械学的には単純であるが、極めて重要な

意味を持つものである。ここでは、浮遊と漏れのインダクタンスを可能な限り抑制することが重要である。

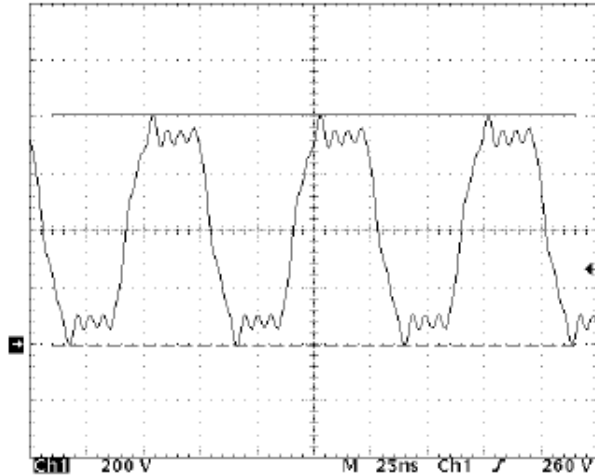


図7 3KWのハーフブリッジ出力

ハーフブリッジの電圧出力を図7に示す。この図では、1KV素子において800Vにピークドレイン波形が現われているのがわかる。この箇所が図5でRF OUTPUTと表示されていたノードであり、形状と対称性は極めて伝統的なハーフブリッジの性能を示している。波形上部の平坦な箇所と底部における高周波発振は、出力ノード容量の自己共振とスイッチ回路のループインダクタンスである。周波数は、ブリッジの上半分でも下半分でも、ともに約200MHzである。図6と図7から、ハーフブリッジ構造ではループインダクタンスが比較的小さく、これが、対称性ととも重要な特性になっていることがわかる。

## 出力ネットワーク

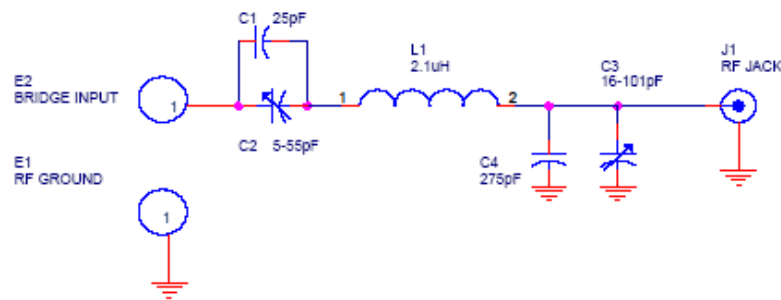


図8 3KWのRFタンクと負荷のマッチング

図8に出力タンク回路を図示する。このタンクは基本動作周波数における直列共振回路として設計されたものであり、4倍化の役割を果たす。直列コンデンサ(C1およびC2)は負荷におけるDCの流入を防止し、動作周波数 $f_0$ においてインピーダンスの低い経路を確保するとともに、高調波電流を除去し、トータムポール単極性パルスを正弦波出力電圧に

変換する。共振タンクの Q は、回路の動作帯域幅だけでなく、タンクのピーク電圧や損失を定義するものである。この構成における直列タンクの負荷 Q は約 10 である。

また、直列 L (L1) の一部とシャント C (C3 および C4) で構成される L マッチセクションを用いて、トータムポール対を J1 における 50 Ω 出力とマッチングさせる。

タンクは、エアバリャブルコンデンサと、複数の「ドアノブ」スタイルの固定値セラミックコンデンサを並列に組み合わせたものを用いて実装した。複数のコンデンサを使用することで、電流共有を実現し、コンデンサの ESR 損失を最小限に抑えることができた。インダクター L1 は、1/4 インチ OD 銅管の 9T を用いた、直径 2 1/4 インチ、長さ 4 インチの空心構造である。

タンクは、任意のバス電圧における  $P_o$  と効率を可能な限り折り合わせられるよう同調させた。図 8 に示す 3 kW の動作点の場合、ブリッジ出力に対して呈示される負荷は約  $14+j12.6$  Ω である。最高の出力電力効率を得るためには、図 5 で RF 出力、図 8 の BRIDGE INPUT と表示されたノードにおけるインダクティブ端子を小さくしなければならない。この誘導素子に蓄積されたエネルギーが、スイッチ通信のデッドタイムの間に、ドレインを接地か、もしくは +VDS 電源に強制的に押し流す。このエネルギーを用いてブリッジ出力ノードで出力容量を充放電し、電力段を高効率で動作させることができるのである。この効果は、図 7 のブリッジ出力波形において、立ち上がりおよび立ち下がり勾配におけるわずかな不連続として確認することができる。

## システム性能

下図 9 は、負荷における RF 出力を示したものである。ピーク・ツー・ピークのレベルは 1.1kV である。これは 3024W の出力に相当する。

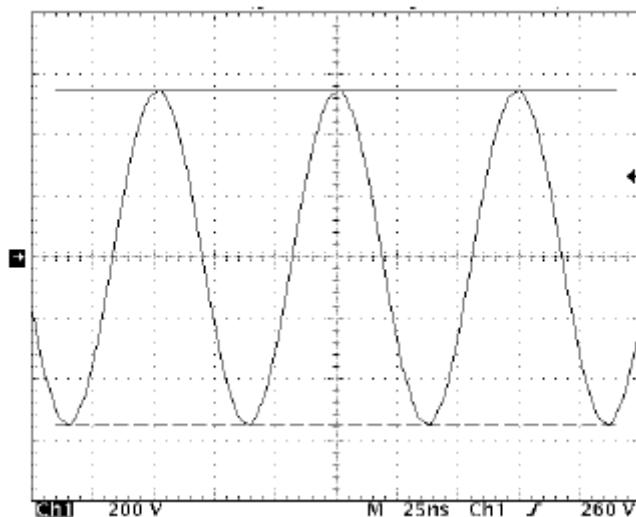


図 9 3KW の RF 出力



図 10 に、図 8 のタンク回路における出力スペクトルを示す。この図に示すように、3 次高調波は - 55db 低下している。これは 9.5mW の三次高調波出力電力を表わすものであり、中 Q のタンク回路と高調波抑制機能の直接的な結果によるものである。

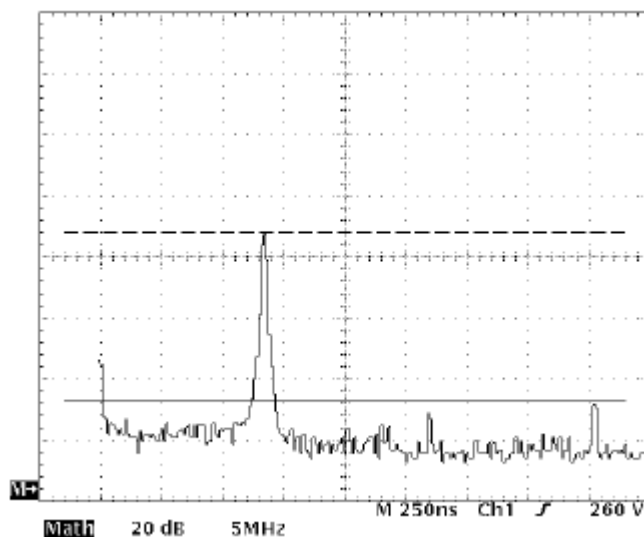


図 10 RF スペクトル

表 1 に、250W から 3KW における 250W 増分の動作パラメータを示す。RF 電力は Giga-tronics 8651A のパワーメーターを用いて測定した。

表 1 3KW の動作パラメータ

Po W	Vin V	Iin A	Pin W	V <sub>dsPk</sub> V	Eff. %	Ploss W
250	221	1.59	351.4	260	71.1	101.4
500	314	2.01	631.1	340	79.2	131.1
750	387	2.35	909.4	412	82.5	159.4
1000	450	2.66	1197	480	83.5	197
1250	501	2.93	1467.9	534	85.1	217.9
1500	552	3.19	1760	588	85.2	260
1750	597	3.42	2042	636	85.7	291.7
2000	640	3.65	2336	680	85.6	336
2250	682	3.87	2639	712	85.2	389
2500	722	4.09	2953	756	84.7	453
2750	762	4.29	3269	792	84.1	519
3000	800	4.49	3592	828	83.5	592

DE375-102N 12A の電力 MOSFET における最大定格は  $V_{Bds} = 1KV$ 、 $I_{dm} = 12A$  であり、使用可能な最大消費電力は 550W である。これら三つのパラメータと上図から考えると、1000W と 2000W における電力レベルは、設計のわりに極めて控えめなものであることがわかる。

1000W の場合、上の表 1 から、電源にはかなりの裕度があることがわかる。ドレインは最大値の 50% で動作しており、電流は最大値の 22%、50 負荷への電力損失は最大値の 18% である。

一方、2000W 設計では、ドレイン電圧は最大値の 68%、ドレイン電流は最大値の 32% であり、50 負荷への電力損失は最大値の 30% である。

3000W のレベルでも、ドレインは 75%、電流は 37% であり、電力損失は最大値の 54% にとどまっている。これは、1KW や 2KW ほど控えめな値ではないが、それでもかなりの裕度があると言える。

### 3kW における周波数アジリティ

最初の設計時における 3kW モジュールは比較的狭帯域の設計であり、 $f_0$  で  $\pm 1\%$  の規模である。図 1 に示したドライバ段は狭帯域設計であり、 $f_0$  の基本周波数における最適な動作に合わせて同調させたものである。同調プロセスでは、図 5 に示した U1 および U2 のトータムポール対のゲートに  $15V_p$  が印加されるよう、U4 および U6 のドレイン電圧を調節した。また、U1 および U2 のゲートで最高のパルス形状が得られるように、C8 ~ C10、C16、C28 ~ C30、C36 のカップリングキャップ値の調節を行なった。最後に、ドライバと RF モジュールを接続する同軸ケーブルの長さを U1 および U2 の最適な波形形状に合わせて調節した。

最初に実装した時の出力タンク（図 8）は、狭帯域の中 Q 設計である。このため、応答による同調が極めて鋭く、動作周波数を変化させる能力は限られたものであった。周波数が変動し、わずかでも低下すれば、ハードスイッチングによってハーフブリッジにおける最終トランジスタが機能しなくなるからである。周波数が上昇するとモジュールは電力を生成するが、効率は急激に低下してしまう。

中心周波数  $f_0$  周辺への周波数調節が可能であるかどうかを調べるための実験を実施した。目標値は  $13.56\text{MHz} \pm 10\%$  とした。この目標を達成するためには、上述の問題点に対処する必要があった。フライバックドライバ段の振幅は駆動周波数によって変化する。周波数が低下すると、フライバック出力の規模が上昇するのである。これは、ドライバと電力モジュールを接続する L/C ネットワークによるものである。

実験の結果、周波数におけるアジリティを確保し、U1 および U2 のトータムポール MOSFET に印加される  $V_{gs}$  を維持するには、「フライバック」電圧、 $V_{GDV}$  の規模を調節しなければならないことがわかった。任意の周波数で試験を行なう間、電圧  $V_{GDV}$  は U1 および U2 のゲートで  $14V_p$  になるように調節した。

最後に、広帯域、低 Q の集中定数素子変圧を適用し、トータムポールの出力を 50 に整合させた。ここでは  $5\text{kW}$  のコンバイナ（図 15）を使用した。当初は、動作周波数の全範囲において誘導負荷がトータムポール出力に向けられるよう設計した。設計範囲は  $13.56\text{MHz} \pm 10\%$  において  $9+j10$  から  $16+j10$  までであった。

$12.2\text{MHz}$  から  $14.7\text{MHz}$  の範囲において、 $81.1\%$  から  $93\%$  の効率で、50 負荷に  $3750\text{W}$  の RF 出力を実現することができた。表 2 に上述の変更と改善を加えた結果の詳細を示す。

表 2 3750W の周波数アジリティ試験データ

$f_0$ (MHZ)	$V_{GDV}$ (V)	$+V_{DS}$ (V)	$I_d$ (A)	$\eta$ (%)	$V_{gs}$ (Vp)
12.2	30.9	577	8.01	81.1	14
12.7	36.7	586	7.52	85.1	14
13.2	48.4	597	7.19	87.1	14
13.7	57.4	607	6.81	90.7	14
14.2	67.1	622	6.47	93.2	14
14.7	80.5	648	6.22	93	14

この性能は、低 Q の電流加算型コンバイナを用いて二つの  $1875\text{W}$  トータムポール対を集約するという設計によって実現したものである。ゲートドライブ信号を安定化させ、周波数によって出力規模が変化しやすいドライブの傾向を補償する必要があった。適正な動作のための重要ポイントの一つは、動作の全範囲にわたってトータムポール出力に呈示される負荷を誘導性にするることである。そうでないと、ハードスイッチングが起こり、損



矢によって素子の不具合が生じるからである。明らかに改善の余地はあるが、本稿では RF 周波数可変の大電力 RF 電源を確保するのに実行可能なアプローチを提示する。

### 3KW の Spice モデル

ハーフブリッジのための Spice モデルを下図 11 に示す。この図ではゲートドライブが TX1 および TX2 の一次側に印加される。これらの変圧器は密接合の低浮遊容量およびインダクタンス素子である。これらの漏れリアクタンスと ESR は L2、R7、L5、R13、スイッチ回路のループインダクタンスは L3 および L6 によってモデリングされている。C3 および C4 のバイパスコンデンサの ESR は、R3 および R5 の抵抗器である。直列の共振タンク回路は C5、C6、L4、C7、および C8 で構成されている。

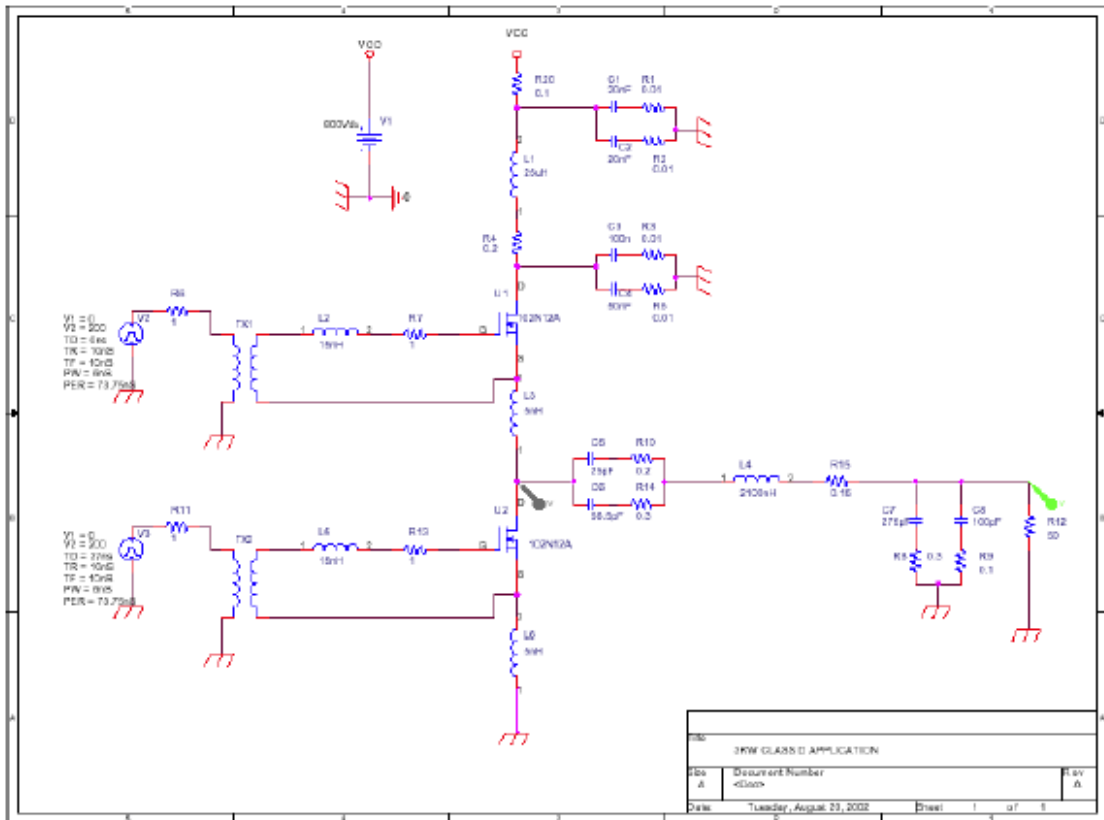


図 11 ハーフブリッジの Spice モデル

このモデルにおけるいくつかの出力波形を次の図に示す。

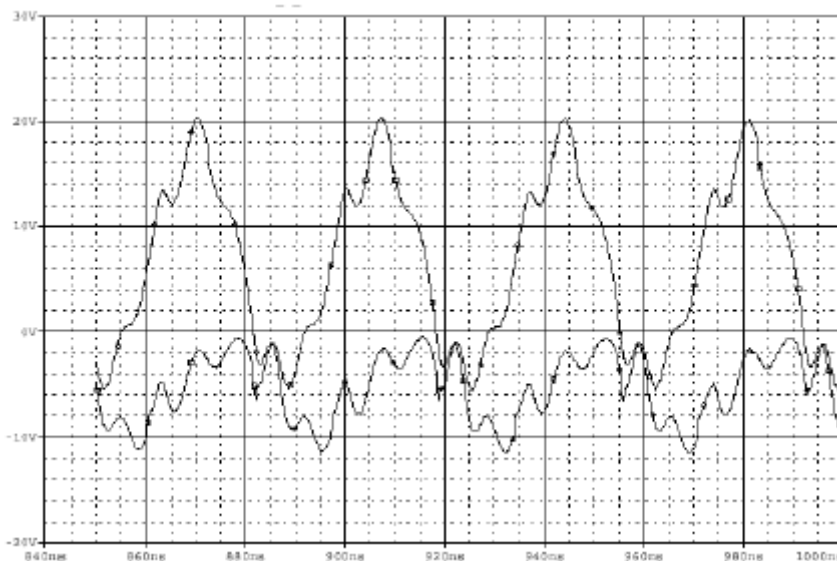


図 12 ゲートドライブ

上図 12 の Spice モデルによるゲートドライブ波形と図 4 のゲートドライブ波形を比較すると、いくつかの興味深い点が見えてくる。まず、波形の基本的な形状が同じである。第二に、正方向と負方向に移行するピークが同じ規模に極めて近い。最後の点として、RF 電力の産物として、高周波リングが生じている。

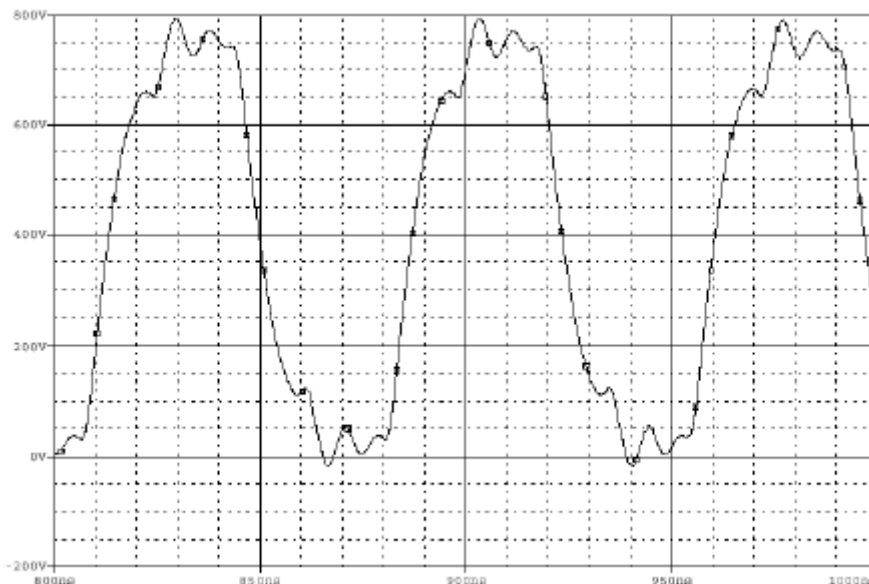


図 13 ドレイン波形

図 13 は、ハーフブリッジの矩形波出力を示したものである。図 13 のリング周波数は図 7 のリング周波数よりも顕著に低い。ただし、ピーク電圧は同じである。

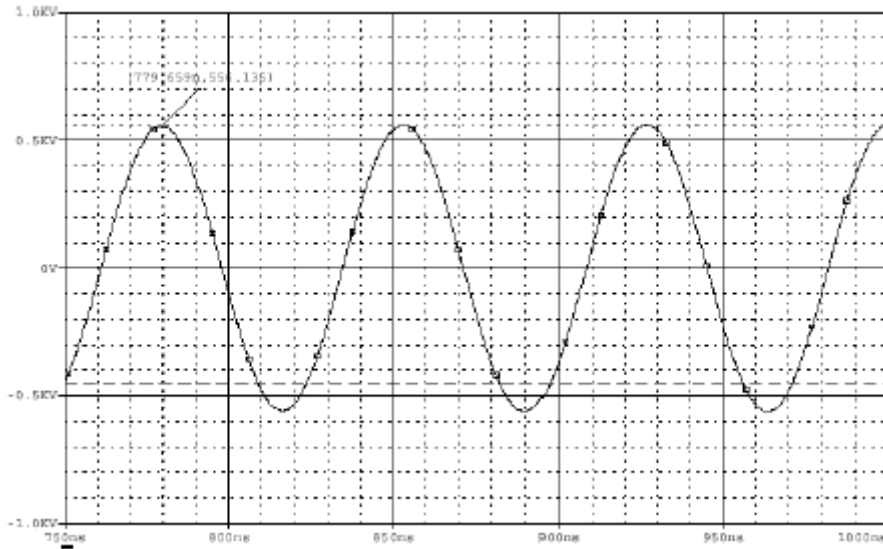


図 14 RF 出力

図 14 に RF 出力を示す。図 9 のピーク・ツー・ピーク値とこの図には一致が認められる。

表 3 3KW の Spice データ

Po W	Vin V	Iin A	Pin W	VdsPkV	Eff %	Ploss W
240	221	1.4	309	224	80.8	69
480	314	1.9	597	315	82.1	117
979	450	2.7	1215	450	81.1	236
1466	552	3.3	1822	552	82.3	356
1989	640	3.8	2432	640	82.2	443
2530	722	4.2	3032	720	83.4	502
3124	800	4.8	3840	795	81.4	716

上記の表 3 は、Spice の出力データである。この表を表 1 のデータと比較すると、極めて良好なラインごとの一致が確認できる。

3KW のハーフブリッジが完成したため、次の論理段階は前節の二つのモジュールを組み合わせるにより、5KW のシステムを作製することである。この開発に使用したコンパインを下図 15 に提示する。

二つのハーフブリッジモジュールからの等価の入力を、RF 入力 A および RF 入力 B として示した。C1 および C4 は、負荷からの DC を阻止すると同時に、最小限の損失で  $f_0$  の基本電流を流すことができる。ATC 100E の磁器 RF コンデンサにおける ESR は、13.56MHz でそれぞれ 7mΩ 以上である。電流を 15A<sub>rms</sub> に近づけることができるため、ESR の絶対最小値を念頭においてこれらのキャップを選択した。L1 および L2 のインダクターは、10 AWG のマグネットワイヤを用いた空心コイルである。4 : 1 出力の変圧器は、二本のテフロン製 RG-142 同軸ケーブルを並行に巻いた 8 バランのフェライトコアを用いて構成したものである。50 Ω 出力の同軸ケーブルは RG-393 を使用した。

図 15 のコンバイナは、低 Q の共振「T」マッチ回路における等価電流を合算することによって機能する。RF 入力 A と B におけるそれぞれの入力波形が同じであれば、L1 と L2 には同じ電流が流れることになる。電流が二倍であれば、L1 と L2 を、インダクタンスが 1/2 の単独のインダクターに置き換えることができる。このプロセスを踏まえ、変圧器の漏れインダクタンスが 175nH であると仮定すると、それぞれのトータムポール対における出力負荷は約  $12 + j3 \Omega$  になる。

先に考察した単独の 3kW 一段式トータムポールの場合と同様に、最高の出力電力効率を確保するためには、図 15 で RF 入力と表示された各ノードにおけるインダクティブ端子を小さくしなければならない。この誘導素子に蓄積されたエネルギーが、スイッチ通信のデッドタイムの間に、接地か、もしくは +V<sub>DS</sub> 供給にドレインを強制的に押し流す。このエネルギーを用いてブリッジ出力ノードで出力容量を充放電し、電力段を高効率で動作させることができるのである。

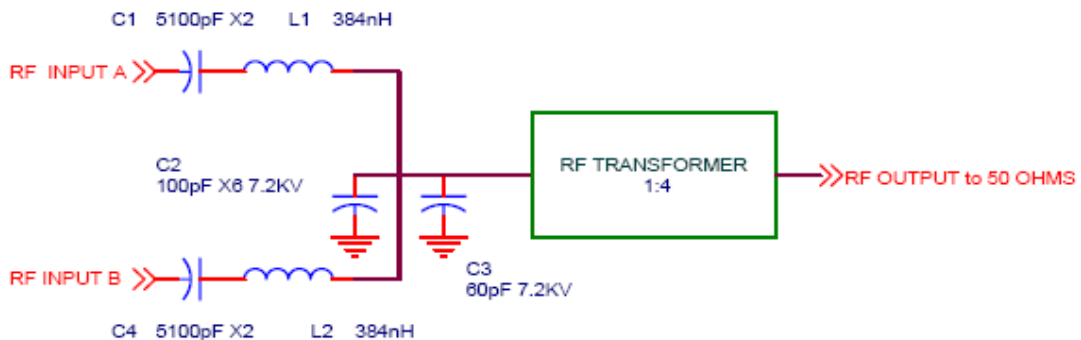


図 15 5KW コンバイナ



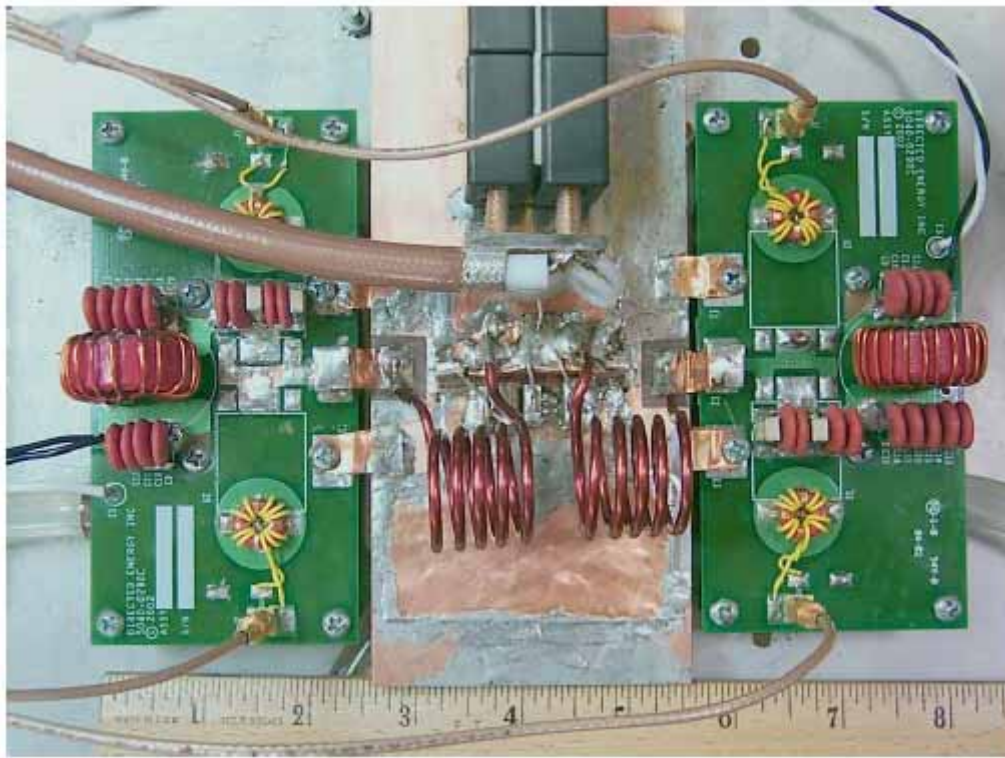


図 16 5KW のブレッドボード

図 16 は 5KW のブレッドボードである。写真の右側と左側に見えるのは 2 つの 3KW モジュールであり、これらのモジュールはそれぞれ水冷式である。L1 および L2 の二つのインダクター（図 15 を参照）が共振マッチングネットワークを構成している。その後、二つの正弦波が 1 : 4 RF 変圧器の入力側に、さらに 50  $\Omega$  負荷に印加される。RF 変圧器は写真では中央の上部に確認できる。アセンブリ全体は接地を基準とするアルミニウムプレートに設置されている。写真の上部と下部の二つのハーフブリッジセクションには、四つのゲート動力伝達経路が見える。モジュール全体は幅 8 インチ、高さ 5 インチである。変圧器は全長 5 インチで、このうち 3.5 インチは写真には見えていない。

図 17 に示したのは、ハーフブリッジセクションのうち一つにおけるドレイン波形である。この波形が図 15 において RF 入力 A および B と表示されたノードに印加されるのである。図 17 では、1000V 素子における電圧ピークが約 750V の矩形波が確認できる。リング周波数は約 125MHz である。このリングの振幅が小さいのは、ループインダクタンスの低さと図 6 に図示する回路のトポロジによるものであり、実際にハーフブリッジのトポロジにおける頑健性を示すものである。

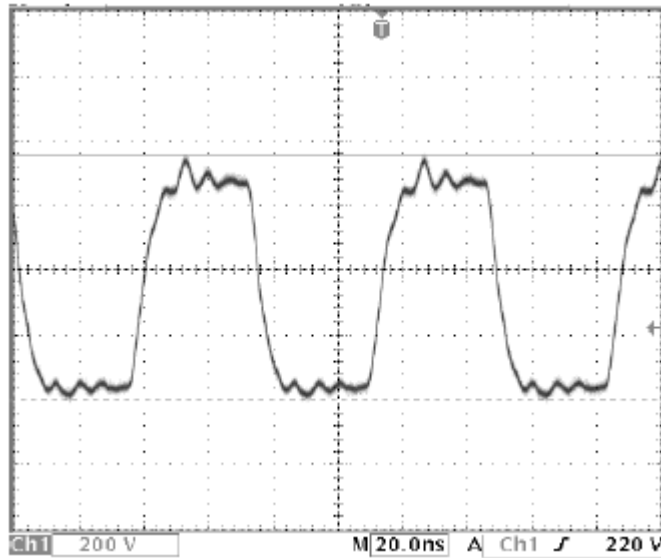


図 17 5KW のドレイン電圧波形

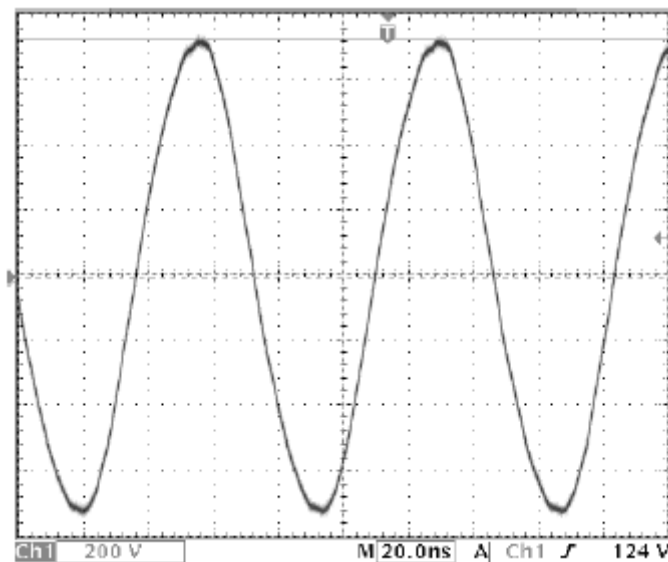


図 18 5KW の RF 出力

図 18 に示す RF 出力は、50 負荷に対するピーク・ツー・ピーク値で 1480V である。この出力によって 5474 ワットの出力電力が生じる。表 3 のデータは、Bird 社のモデル 43 の電力計を用いて収集した。

表 4 5KW の動作パラメータ

Po W	Vin V	Iin A	Pin W	Eff %	Ploss W
3000	548	6.09	3337	89.9	337
3500	590	6.58	3882	89.6	382
4000	623	6.98	4348	89.2	348
5000	706	7.97	5626	89.9	626

表 4 は 5KW の動作パラメータを示したものである。5KW の電力レベルにおける電力損失は 626 ワットである。この電力は 4 つの電力素子にほぼ均等に分割される。DE375-102N 12A における最大ドレイン電圧定格は 1000V であり、ヒートシンクとの接合部における電力定格は 550W である。これは、それぞれの素子が最大電力定格の約 28%、最大電圧定格の 70% で動作していることを示唆している。また、この表から、それぞれの素子対における総 DC 電流が 7.97A もしくは 3.98A であることがわかる。102N12A における電流定格は 12A であり、これは素子における最大定格の 33% に相当する。電圧、電流、および電力パラメータについて言えば、素子は最大値よりもはるかに低いレベルで動作しているということになる。

## 結論

DE375-102N 12A の RF MOSFET および DEIC420 ゲートドライバは、産業用 RF 電力システムにおいて、そのサイズやコスト、電力レベルが極めて魅力的な大電力高周波 RF 電源を設計するのに必要な重要なコンポーネントである。本稿に詳述したシステムはこれらの素子を用いた設計を具現化したものであり、これらの素子を用いることによって ±10% の周波数アジリティを確保し、5kW を超える出力電力を供給することのできる 13.56MHz の RF 電源が大いに実現可能であることを実証している。このシステムのサイズやコスト、電力レベルは、2kW から 10kW を超える範囲におけるクラス D の産業用電力システムにとって極めて魅力的である。

また、ハーフブリッジやフルブリッジの設計は、素子の動作範囲を最大限に活用できることから、最小数のコンポーネントにおいて最大限の電力を起動する能力が実現する。700V から 800V の高電圧供給により、低電圧ソリューションの場合と比べて、電力段における電流が極めて低くなる。このため、高圧電源と RF タンク回路の両方における多くの受動コンポーネントのコストを抑えることができるのである。



**参照文献**

1 . Herbert L. Krauss および Charles W. Bostian

「**Solid State Radio Engineering**」

c 1980, John Wiley & Sons

ISBN 0-471-03018-X

2. Mihai Albulet

「**RF Power Amplifiers**」

c 2001, Noble Publishing

ISBN 1-884932-12-6