

テクニカルノート

高速、高周波数の動作における ケルビンリードパッケージの破壊的影響

要旨

今日、RFやHF電源業界が目標として定めている高速でのスイッチングやより高い周波数の実現を制限している要素は、パワーMOSFETのダイ技術だけではない。高速スイッチングや高周波数でパワーMOSFETを動作させようと試みた場合に見られる大部分の問題は、パッケージの選択が根本原因であることが多い。これらの問題は、最も影響の少ない条件であれば不安定な動作として、最悪のケースでは説明のつかない故障や急激な信頼性の低下として現われる可能性がある。本稿では、ケルビンリードなど、他の浮遊誘導項に相応の注意を払わずに中間的な速度強化手法を適用した場合に生じる影響について詳しく考察する。

イントロダクション

MOSFETダイは本質的に高速素子であり、適正な設計のダイにおける理論上のスイッチング速度は200ps(200E-12S)である。もちろん、ダイには最適とは言えない設計も数多く存在するが、本稿では、ダイの設計がほぼ最適に近いものと想定した。こうすることによって、パッケージとパッケージに固有の浮遊誘導条件に集中することができる。

従来型のTO-3やTO-247パッケージは、高周波数での動作を念頭において設計されたものではない。事実、1950年代後半に出現したTO-3は真空管の8ピンを模倣したものである。高周波やインダクタンス、熱誘起応力などの問題はほとんど考慮されていない。

その後に登場したプラスチック製のTO-220やTO-247パッケージでは、TO-3に比べていくつかの点が改善されている。これらはより小型になり、スイッチング速度がわずかに向上したが、ハーメチックパッケージではない。

TO-3パッケージは現在でも、軍用アピオニクスなど、高い信頼性が求められるアプリケーションで圧倒的な優位を占めている。TO-218やTO-254などの新たなパッケージングアプローチや大型の「ブロック」構成が登場しているが、これらは様々な欠点の中でも特にトポロジの誘導性が高く、高周波数での動作にはあまり向いていない。

図1は、これらの素子のいくつかについて概略を示したものである。これらの大部分では、スイッチング速度の向上をケルビンリードに頼っている。他の浮遊誘導条件についてパッケージングの設計を相応に改善することなく、このような手法を用いた場合、破滅的な影響が生じる可能性がある。

図2は、回路の設計だけでなく、メーカーが素子の動作や性能の説明にも最も多く使用しているMOSFETモ

デルである。スイッチング速度が20ns(20E-9S)もしくはそれ未満に近くなり、周波数が1MHz(1E6Hz)以上のレベルに近づくと、このモデルでは完全に不十分になる。ここで興味深いのは、図2のモデルが回路の設計だけでなく、dv/dt現象やなだれ破壊の考察にも使用されているという点である。どちらの影響も、モデルの結果予測能力をはるかに超える速度で起こるものである。

図3に示したのは、高速かつ高周波数の動作における回路設計と素子性能の特性付けの両方に、より適したモデルである。このモデルと高速での差動測定試験装置を用いて、様々な素子に対する試験を実施した。本報告書のこれ以降の部分では、この試験の結果について考察するものとする。(1)

ターンオフにおける V_{Ls} と V_{Ld}

図3において、素子のゲート端子に+15Vの入力を印加すると、図4の波形スコープ画像に電流 I_{Ds} で示すような形で整流される。ただし、ソースリードインダクタンス L_s におけるこの立ち上がり電流は負帰還項 V_{Ls} を生じさせるため、ソースにおける電流立ち上がり速度(di/dt)が制限されてしまう。この場合、TO-3パッケージでは、測定された32Aの電流パルスによって28Vの V_{Ls} 項が生成されていることがわかる。このシステムでは、ソースリードインダクタンスが di/dt を制限する要素になるため、大部分の回路構成では V_{Ls} 項が30V以下に維持される。ただし、パッケージと回路のいずれかの設計におけるレイアウトが適正でないと、このような状況が当てはまらない場合がある。標準的な3線式のパッケージの場合、この負帰還項が不十分な速度性能の主要因になる。このような負帰還の影響を解消するための試みとして、図1に示すように、一部のパッケージではケルビ

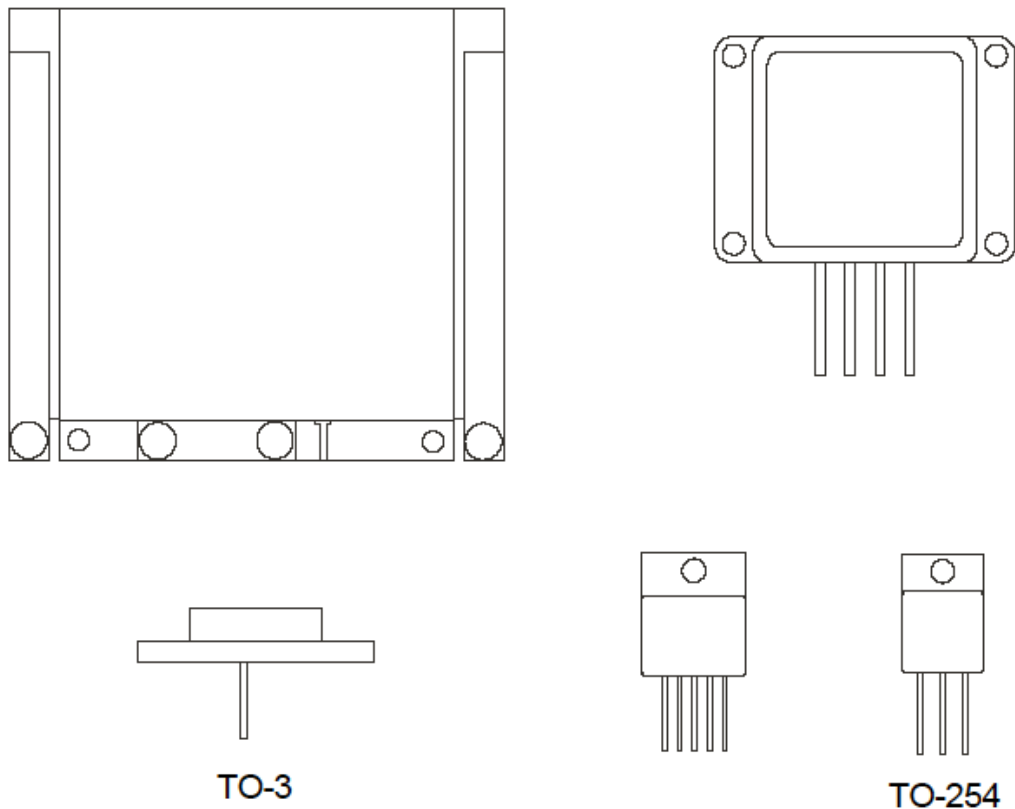


図1 従来型パッケージの概要（パッケージはすべてほぼ実際のサイズで表示したもの）

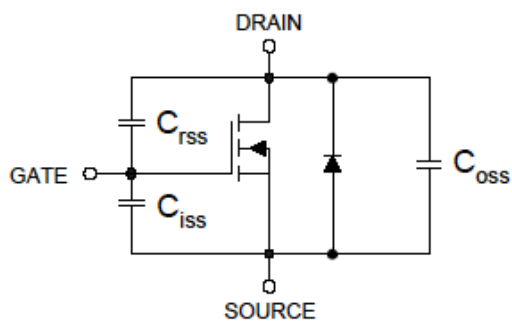


図2 標準的な MOSFET モデル

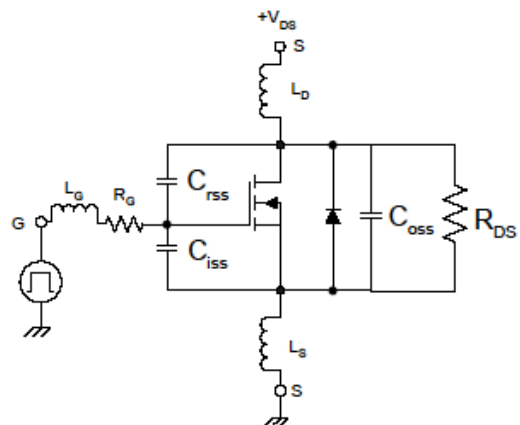


図3 MOSFET モデルの全体図

ンリード線が設置されている。

図5は一般的なケルビンリードパッケージのモデルを示したものである。このようなパッケージ設計に依存する場合にはいくつかの想定条件があり、その一つが、ゲートドライブの負極端子は電流の立ち上がり時に L_s 上部の軌道をたどるという条件である。ただし、インダクター L_{SK} と C_S が直列のシャント素子として装備され、負極端子が実際に L_s の di/dt 項をごく精緻にたどるのを阻害

している。図6Bや上の写真に示すように、ケルビンリードは確かに負帰還の大部分を除去し、電流の立ち上がりを迅速化する。また、図6や上の写真における L_s の di/dt 項の大きさが、この段階では50Vであることに注意しなければならない。

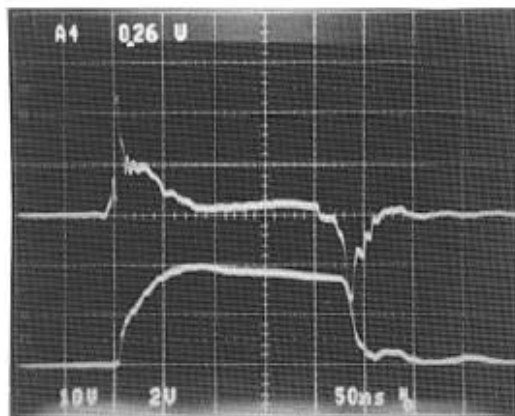


図4 V_{LS}およびI_{DS}波形

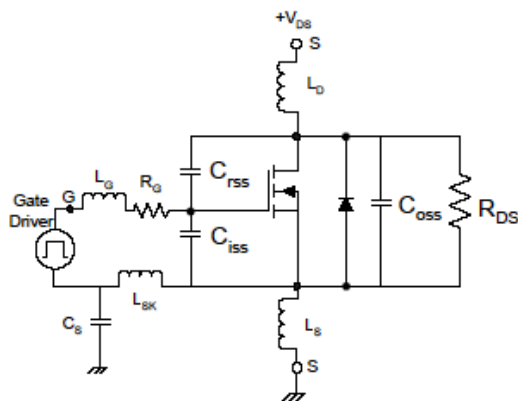


図5 ケルビンリード式 MOSFET モデル

図 6A、6B、および隣に示した写真から、

$$V_{LS} = 50V$$

$$di = 32A$$

$$dt = 10 \times 10E-9$$

すなわち、

$$L_S = V_{LS} di/dt = 15nH \text{ (15E-9H)} \text{ ということになる。}$$

図 1 に示したようなパッケージの場合、L_S は容易に 30nH (30E-9H) 以上まで上昇する。また、これらのパッケージ様式では、L_D も同様に大きな数に近づく場合がある。これらの素子の一部にこのような大きな定格を適用した場合、V_{LD} が問題になる可能性がある。

$$V_{LD} = L_D di/dt$$

$$L_D = 30nH \text{ (30E-9H)}$$

$$di = 100A$$

$$dt = 10nS \text{ (10E-9S)}$$

この場合、

$$V_{LD} = (30 \times 10E-9)(100/10 \times 10E-9) = 300V \text{ になる。}$$

タイミングチャートにおける図 6C の V_{LD} 項や図 6D の V_{LS} 項を見ると、t₀ のターンオンの際、V_{LD} と V_{LS} 項は外部の V_{DS} 項から引かれるのに対し、ターンオフ時にはこれらが外部の V_{DS} 項に加えられるのがわかる。従って、図 1 に示したような素子を考えた場合、高出力、高速の回路において、ターンオフ時に、ユーザーには全く見えない正味 600V の過渡電圧をパッケージの内部に滞留させることは極めて容易である。このターンオフ過渡分析の結果は、高速、高出力 MOSFET 回路が原因と考えられるファントム故障の原因を説明するものと考えられる。

ターンオフ時における V_{LS} および V_{LD} 項のほかに、もう一つ問題が存在する。図 6E には、ケルビンソースリードインダクタンス通過時の V_{Lsk} 項も提示した。図 6A に示すように、この時点までに素子のゲートは 0V になっているのに対し、ソースノードは -V > 4V であり、図 6F や下の写真の波形が示すように素子が再び起動される。このような減衰振動は、ゲートドライバの L_G、L_{SK}、R_G、C_{iss} および L_{GD}、R_{GD}、C_{GD} 項で構成されるゲートのケルビンタンク回路によって発生する。この振動は、C_{rss} やミラー効果によって悪化するおそれがある。

不適正な回路レイアウトを用いて L_S の値を上昇させた場合、あるいは図示したよりもピーク電流が大きい場合、L_{SK}、L_S のゲートリングによって、ドレイン中に図 6F に示すような下降振幅の電流パルス列が起こる可能性がある。主に外部 L_S が増大した場合の影響として、ゲートケルビンタンクにおける駆動 L di/dt 項が大きくなり、電流が大きくなることによって内部と外部の両方の誘導項が増大する。高周波のパワーコンバータでは、この種のスプリアス挙動が動作エラーを引き起こし、交差伝導故障まではいかなくても EMI が増大する恐れが考えられるのである。

図 6 の真ん中の写真では、V_{Lsk} 項に図 6E に示す高周波発振が確認できる。これは C_S、L_{SK}、および L_S のタンク回路である。その共振周波数はゲートタンク回路よりもはるかに高く、浮遊抵抗によって容易に減衰される。ただし、線形のアプリケーションの場合、この発振によって安定性や直線性に問題を生じる可能性もある。

DE シリーズの MOSFET 素子

図 7 に提示したのは、DE シリーズパワー MOSFET 製品の四つの製品系統である。この素子は、初めから、高電圧、高速、高出力を駆動ガイドラインとして設計された (2)。図 8 に、次の試験条件における DE-275 の V_{LS} および I_{DS} を提示する。図 8 から、

$$V_{LS} = 8V$$

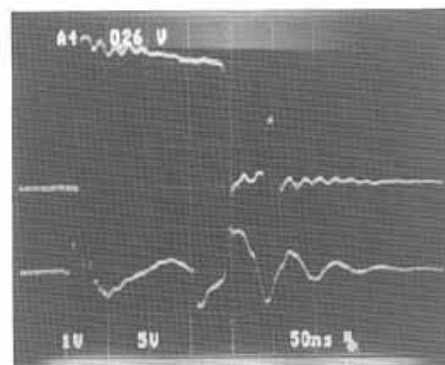
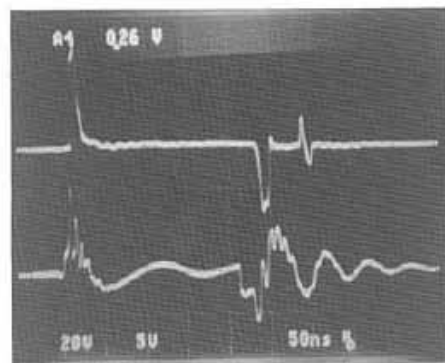
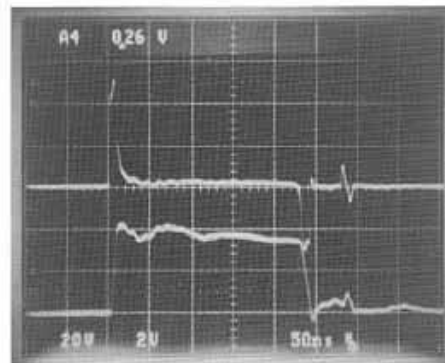
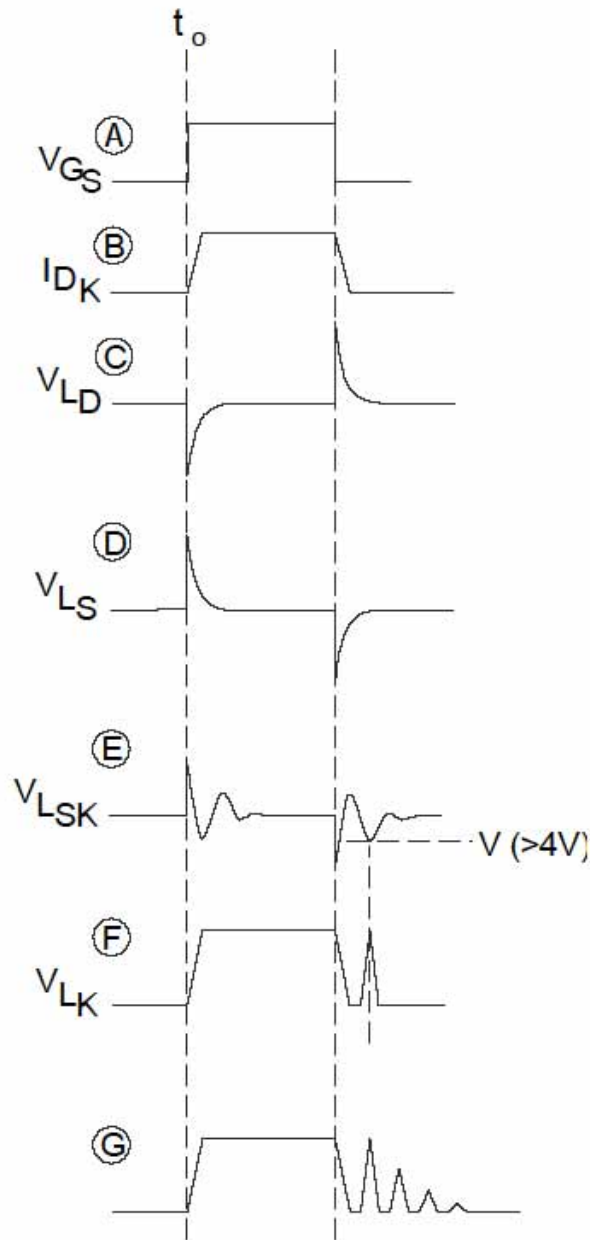


図6 モデルの波形およびデータのタイミングチャート

$di=32A$

$dt=8 \times 10E-9S$

これらの値を用いて、

$Ls=V_Lsdt/di=2nH (2E-9H)$

これらの素子では $L_D \leq 1nH (1E-9H)$ であることから、総挿入インダクタンスは $\leq 3nH (3E-9H)$ になる。この値をより従来型の素子の値である $\geq 30nH (30E-9H)$ と比較すると、まる一桁分インダクタンスが低減していることがわかる。

Ls および L_D の値がこのように減少することから、ゲートケルビンタンク発振とターンオフ時における V_{DS} 過電圧スパイクの両方による影響を、解消できないまでも大幅に軽減することができる。前述のとおり、これらの条件はいずれも不規則挙動や EMI の増大、交差伝導故障を引き起こすおそれがあるからである。

販売代理店: ジェイレップ株式会社

〒564-0051大阪府吹田市豊津町2-1 TEL:06-6368-2111 FAX:06-6368-2114 e-mail:info@j-rep.com

〒108-0074東京都港区高輪3-19-20 TEL:03-5789-2310 FAX:03-3449-7844

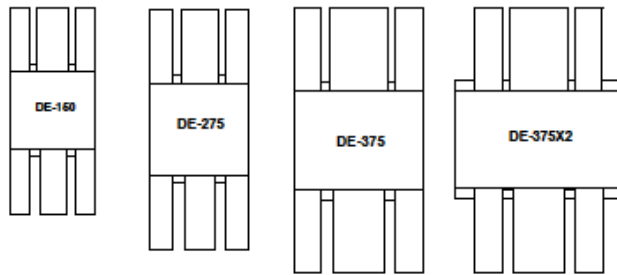


図7 IXYSRFによるDEシリーズの高速、高周波数パワーMOSFET
(パッケージはすべてほぼ実際のサイズで表示したもの)

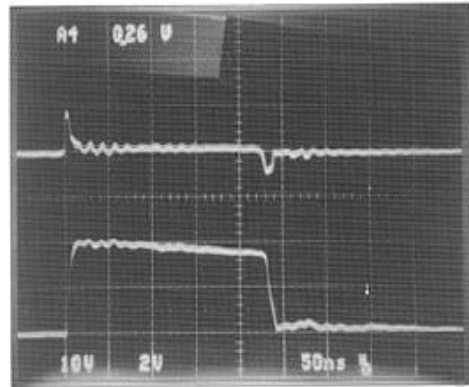


図8 DE-275のLs di/dt項(上部)と
電流波形(底部)

結論

熱インピーダンスとインダクタンスが低く、対称性の表面実装設計と高速スイッチングを備えたDEシリーズのMOSFETは、明らかに、高速電力回路にうってつけのトランジスタである。このような設計により、競合するパワーMOSFET素子に比べて、 L_s および L_D の値を一桁も低減することができる。

ただし、回路の設計者は、適正な高速素子の確保は解決策の一部に過ぎないことを切実に認識しておかなければならない。回路のトポロジとレイアウト、適切な受動コンポーネントの選択は、すべて、優れた高速回路設計に重要な役割を果たしている。回路の分析を行なう際には、 L 、 R 、および C を含め、電源から負荷までのあらゆる浮遊容量を内容に含めなければならない。本稿では、これらすべての項を考慮に入れた故障によって、不適切なパッケージや回路の設計のほか、素子やシステムの故障が起こる可能性があることを実証した。

参考文献

- (1) Rudy Sevens and Jack Armijos
Mospower Applications Handbook
Siliconix, Inc., 1984
- (2) Directed Energy, Inc.
DE-SERIES Fast Power MOSFET – An Introduction