



テクニカルノート

DE シリーズ高速パワーMOSFET™

概説

要旨

DE シリーズの高速パワー™MOSFET は、高速、高周波数、高出力アプリケーションのための回路素子として土台から設計された独自の高出力素子である。本テクニカルノートでは、DE シリーズの素子の電氣的、熱的、力学的性能の実現と最適化に用いた特許取得技術について詳述する。

IXYS 日本代理店 **JREP**
ジェイレップ株式会社
本 社 大阪府吹田市豊津町2-1
Tel:06-6368-2111 Fax:06-6368-2114
東 京 東京都港区高輪3-19-20
Tel:03-5789-2310 Fax:03-3449-7844
e-mail: info@j-rep.com

イントロダクション

誕生以来、その潜在的な速度から、パワーMOSは大いに有望視されてきた。事実、シリコンダイのどのセルでも、ドレインソース間の粒子通過時間は理論的に考えて 200ps である。しかしながら、従来のパワーMOSFET パッケージは、高速、高周波数のアプリケーションにはあまり適していない。

ここで興味深いのは、一般的な高出力パッケージである TO-3 は 1950 年代に設計され、真空管ソケットの 8 ピンとボルトのパターンを模倣したものであったという点である。その後、プラスチック製の TO-220 と TO-247 パッケージの出現によっていくつかの点が改善され、より最近では、TO-254 のようなパッケージやラージブロック構成が登場している。しかしながら、これら大型の高出力パッケージにおけるトポロジや材料は誘導性が極めて高く、熱性能が不十分であるとともに、マウント構成が低インピーダンス回路のレイアウトと整合しない。

高周波 (RF) 型のパッケージでも、大型のパワーMOSFET ダイと併用した場合、同様の問題が発生する。一言で言えば、ダイのパッケージングは、回路素子というよりも、機械学的ツール上の便宜の一つとして扱われてきたのであり、この間、これらの欠点による動作を安定化させるため、ダイの作用やトポロジに変更が加えられてきた。

図 1 に示した DE シリーズの高速パワー™MOSFET は、高速、高周波数、高出力アプリケーションのための回路素子として土台から設計された、新たなクラスに属する独自の高出力素子である。IXYSRF の高速パワー™技術は、低挿入インダクタンス (約 1.5nH) とロープロファイルローコストのプラスチックパッケージを特徴とし、 $R_{\theta JC}$ が 0.10°C/W と低く抑えられていることから、並外れたスイッチング速度と高電力対応機能が確保できる。

5 つの電力範囲 (DE-150、DE-275、DE-275X2、DE-375、および DE-475) を揃えた DE シリーズでは、速度は 10 倍、電力消費率は 3 倍に向上したにもかかわらず、容量は同等の機能を持つ従来のパワーMOSFET の二分の一、重量は三分の一であり、ダイのストレスを大幅に軽減した。本稿では、DE シリーズの電気的、熱的、力学的性能の実現と最適化に用いた特許取得技術について詳述する。

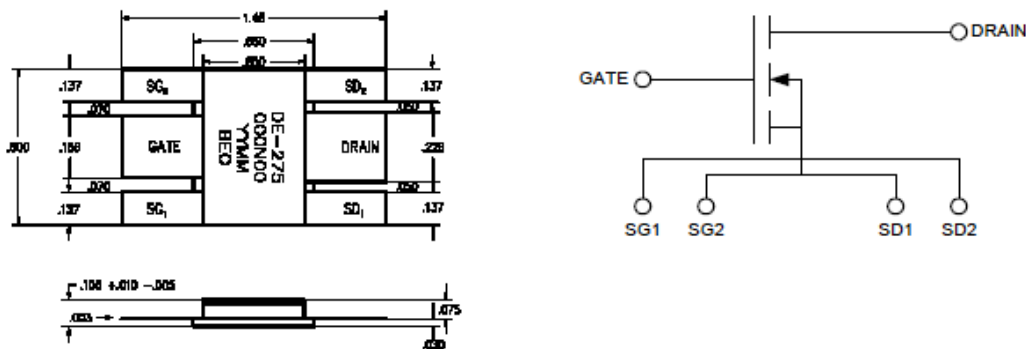


図 1 DE シリーズの高速パワーMOSFET™

販売代理店: ジェイレップ株式会社

〒564-0051大阪府吹田市豊津町2-1 TEL:06-6368-2111 FAX:06-6368-2114 e-mail:info@j-rep.com

〒108-0074東京都港区高輪3-19-20 TEL:03-5789-2310 FAX:03-3449-7844

標準的なパッケージング

DE シリーズにおける力学的トポロジの必要性をさらに明確に理解するため、まず、パワーMOSFET における負帰還条件についていくつか考察しておくことが有益である。

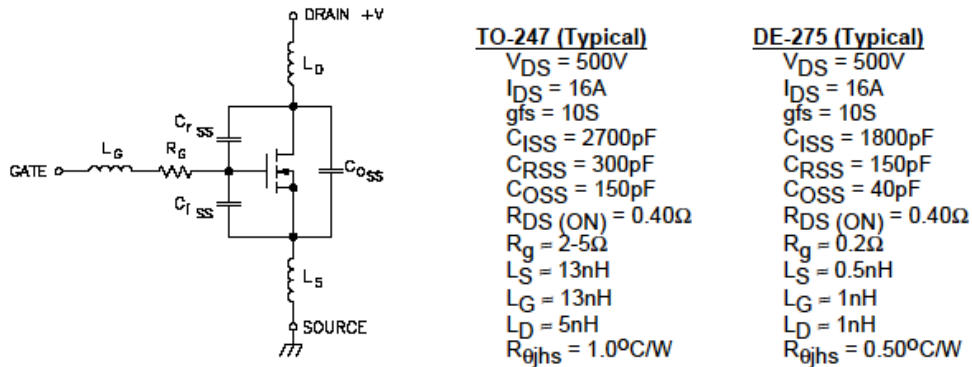


図2 MOSFET 回路モデル

図2は従来型MOSFETの回路モデルを示したものである。同じ解析結果がバイポーラ素子にも当てはまる。 L_d 項の作用は出力回路に対するものであり、ほとんど影響を及ぼさないことが多い。高速での動作を阻害する寄生素子がいくつか存在しており、ターンオン時に $T_r=0$ 、 $Z_o=0$ で外部のゲート端子にステップ電圧関数を適用すると、寄生素子 L_g 、 R_g 、 L_s がこれに合わせてパワーMOSFETの内部ゲート構造における容量を切り離す。このため、ゲート構造における電圧上昇率がこのネットワークの四分の一の波長時間に制限され($T_r=1/4F$)、素子のターンオンが遅くなるのである。また、この L_g 、 L_s 、 R_g 、 C_{iss} 、 C_{rss} ネットワークは共振タンク回路を構成するため、発振によってMOSFETのスプリアス動作を誘発する可能性がある。このような共振は、素子の最大使用周波数を制限してしまうことになる。

素子のターンオン時には、高速での動作をさらに阻害する別の寄生素子が存在する。ドレイン回路において電流が立ち上がると、 L_s 通過によって発生した電圧によって負帰還条件が生じ、ターンオンの速度がさらに制限されてしまう。 L_s 条件に関連して、ドレイン回路で電流が立ち上がると、ドレインにおける電圧降下が C_{rss} を通るゲート回路と連動し(ミラー効果)、ゲートに別の負帰還が生じることになる。

これらの寄生誘導素子に対処し、実質的に可能な限り排除していくためには、新たなパッケージングコンセプト、すなわち新たなパラダイムが必要なのは明らかである。この点をさらに探求していくため、これらの誘導項が持つ力学的な性質について考察してみよう。

三次元空間におけるインダクタンス

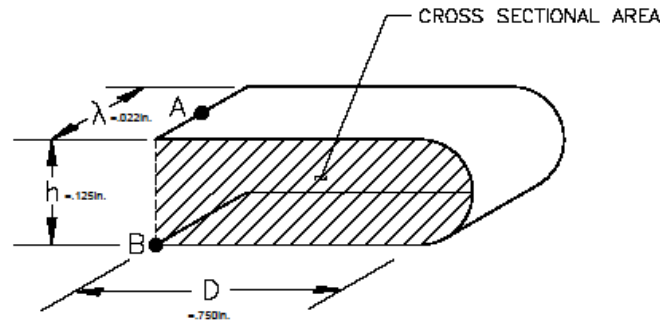


図3 1ターン型インダクター

浮遊インダクタンスに関する以前の考察から考えると、**26nH**のインダクターが物理的にどれだけ大きいかを調べてみると有益である。回路のレイアウトだけでなく、パッケージやダイの設計にどれだけ慎重な配慮が必要であるかが動的な形で見えてくるからである。

図3に示した1ターン型インダクターは、**0.022**インチ幅導線(λ)を**0.125**インチ径(h)に1ターン分巻いたものである。距離(D)を**0.750**インチとすると、この1ターンコイルのインダクタンスは式11によって表わされる。

式1

$$L \approx \left[\frac{K\mu_0\mu_r N^2 A}{\lambda} \right]$$

上式において、

L = インダクタンス (ヘンリー)

K = 無次元定数、フォームファクター補正 (10.) ($K=0.2$)

μ_0 = 自由空間の透磁率 ($\mu_0=4\pi E-7 H/M$)

μ_r = 比透磁率 ($\mu_r=1$)

N = ターン数 ($N=1$)

A = コイルの断面積 ($A=5.81E-5M^2$)

λ = 導線の幅 ($\lambda=5.5E-4M$)

図5に示した値を式11に挿入すると、次式が得られる。

式2.

$$L \approx \frac{.2 \left[\left(12.5E-7 \frac{H}{M} \right) \cdot \left(5.81E-5 \frac{H}{M} \right) \right]}{5.5E-4M} = 26nH$$

これは図3のメカニカルループにおけるインダクタンスであり、図2に提示したMOSFETの L_G+L_S ループにおけるインダクタンスに等しい。ループのサイズが小さいことを考慮すると、インダクタンスを低減させようという試みはすべて無益であるかのよう

に思われる。しかしながら、先にも述べたように、インダクタンスを低減することで性能を著しく向上させることが可能なのであり、試みる価値はある。

ここで再び式 1 について考えた場合、この式を簡易化することにより、どのパラメータがインダクタンスを駆動しているのかを探ることができる。

μ_0 、 N 、 $\mu_r=1$ とすると、次式が得られる。

式 3.

$$L \propto \frac{A}{\lambda}$$

式 3 から、断面積 A を最小限に抑え（面積最小化）（図 3）、幅 λ を最大化（マルチ分散パス）しなければならないことがわかる。 A を 10 分の 1 にし、 λ を 10 倍にした場合、インダクタンスは 2.6 nH まで低減する。ただし、これらのパラメータをどこまで強制的に変更できるかには実際上の制限がある。これはすなわち、誘導項をさらに低減させるための新たな物理的作用を行使しなければならないことを意味している。

誘導項は実際には磁界に蓄積されたエネルギーから導き出されるものであることを考えた場合、磁界に蓄積されたエネルギーの低減や排除を行なうことができれば、これに従って誘導項の低減が可能になる。同じ大きさの 180° 逆位相の磁界ベクトルを結合させ、結果を約 0 にすることによって、このような低減を実行することができる。これが、我々が EM 対称法と呼ぶ特許技術である。事実、EM 対称法により、必然的に、プロセス全体の下部集合である面積最小化 (A) とマルチ分散パス (λ) が実行されるのである。

電氣的メリット

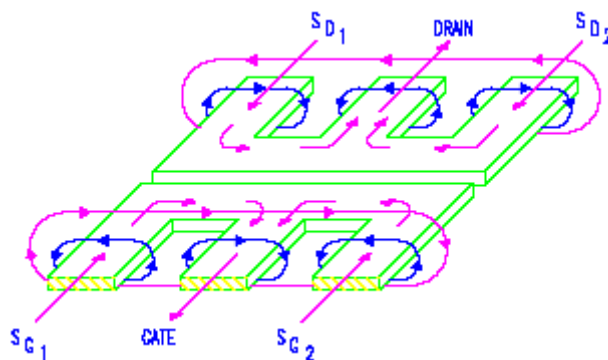


図 4 DE シリーズのコプレーナ構造

EM 対称法.

IXYSRF は、真の低インダクタンス、高速、高出力素子に対するニーズに対処するため、図 4 に示す EM 対称法を考案した。パッケージの設計は、その内容を最もよく表わすものとして、分散型コプレーナ伝送線路と呼ぶことができる。

コプレーナ線路の場合、信号軌道の両側に接地軌道が配置されており、このようなトポ

ロジからいくつかのメリットを得ることができる。E および B の電磁界分布は対称かつ均一であり、電流はシート間を流れるとともに、電圧勾配の変化がなだらかで連続的である。図 4 を見ると、導体とダイが一つの素子として表示されており、DE シリーズの素子ではこれらがコプレーナ伝送線路を構成している。図示したように、SG1 と SG2 はゲート信号に対する接地軌道であるのに対し、SD1 と SD2 はドレイン信号に用いられる電力接地軌道である。回路のトポロジによって、我々は次式を保証することができる。

式 4 $I_G = I_{SG1} + I_{SG2}$ 、および $I_{SG1} \approx I_{SG2}$ であることから、 $B_{IGS1} + B_{IGS2} \Rightarrow 0$

また、

式 5 $I_D = I_{SD1} + I_{SD2}$ 、および $I_{SD1} \approx I_{SD2}$ であることから、 $B_{IDS1} + B_{IDS2} \Rightarrow 0$

この対称性 (式 4 および式 5) により、遠方界において磁界ベクトルを相殺し、挿入インダクタンスを効果的に低減させることができる。スイッチング速度をさらに向上させるため、差動式のケルビンリードを入力リードの EM 対称性を用いて積分することによって、あらゆる従来型の素子に見られるソースリードインダクタンスの負帰還項 $L_s di/dt$ を消去した。すなわち、ゲートドライブの基準面が $L_s di/dt$ 項に浮遊しているため、トポロジによって、SD1 および SD2 の電流が SG1 および SG2 を流れるのを防止することができる。

メーカーの中には、挿入インダクタンスを低減させずにケルビンリードを実行しているケースもある。これは、素子の安定性や信頼性に重大な影響を生じる可能性がある。

ダイのトポロジ

図 5 に示す DE シリーズのダイは、材料の特性をより正確に制御できるよう、エピタキシャル素材を用いて製作されている。また、これらは、水平および垂直な「小型」構造と「小型の」セルサイズによって設計されているため、粒子の移動時間を希望の動作周波数と整合させることができる。これらのダイには、DE シリーズのコプレーナパッケージ設計と整合する複数のゲートパッドとソースパッドが使用されている。また、ダイのメタルゲート構造により、 R_G を極めて低い値に抑制することができる。

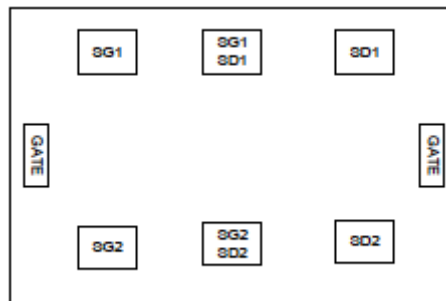


図 5 DE シリーズのダイにおけるトポロジ



電気的性能

DE シリーズは、現在使用されている高電圧高出力 MOSFET の中でも最高レベルの性能に相当する。

1. $V_{ds} = 100V \sim 1000V$
2. $T_{ON} \leq 2ns$
3. $T_{ON DLY} \leq 3ns$
4. $T_{OFF} \leq 2ns$
5. $T_{OFF DLY} \leq 3ns$
6. $F_{MAX} \geq 100MHz$
7. $I_{DS CONT} \geq 44A$
8. $I_{DS MAX} \geq$ パルスモードで $I_{DS CONT}$ の **6X**
9. $P_{DIS MAX} \geq 1500W$

現在、この性能レベルを制限しているのは、 C_{OSS} 、 C_{RSS} 、 C_{ISS} の寄生素子とゲートドライバの性能のみである。このため、IXYSRF はこれまでも現在も、広範囲にわたる高性能ゲートドライバ設計アレイの開発に取り組んでいるのである。

DE シリーズには、この力学的トポロジに分類されない、さらに別の電気的メリットがある。接地容量へのケース（ドレイン）が約 **10pF** なのである。これに対し、厚さが **2** ミルのカプトン絶縁材でヒートシンクから絶縁した **TO-247** では **100pF** である。高周波数、高出力アプリケーションでは、このような大型容量が大きな接地電流や電磁妨害（EMI）上の問題を引き起こす可能性があるだけでなく、これがドレインを直接通るため、 C_{OSS} 損失の原因になるものと考えられる。

熱および力学的メリット

一般的な素子では銅であることが多いが、ドレイン基板は基本的に電気的に活性の高いノードである。そのためには電気絶縁材が必要であり、必然的に熱性能が失われることになる。ダイとこの基板における熱膨張係数（TCE）の不一致は極めて大きいので、緩衝物質が必要になることが多く、熱性能がさらに劣化する。また、マウントねじはパッケージを一箇所でヒートシンクに連結している。ヒートシンクとドレイン基板は通常は全く異なる素材であることが多い。高電力消費モードで動作させた場合、パッケージには赤の矢印で図 6 に示すような反りが生じる。このため、熱接触が失われ、高電力対応機能を損失することにより、ダイに対する力学的ストレスが増大する。

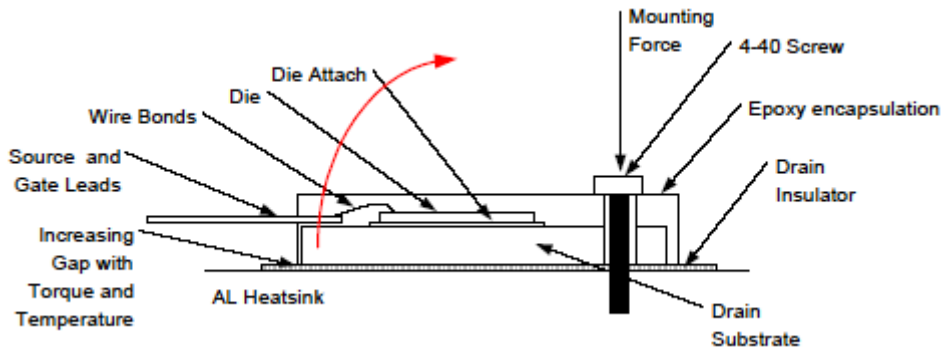


図 6 TO-247 の断面図

高出力アプリケーションに対応できるように、DE シリーズには、優れた熱分散と高電力対応機能を確保し、これまで詳述してきた従来型の素子に比べて扱いにくさを軽減した取り付け手法を提供するためのいくつかの設計特性が装備されている。これらのうち、最初の特性を図 7 に示す。

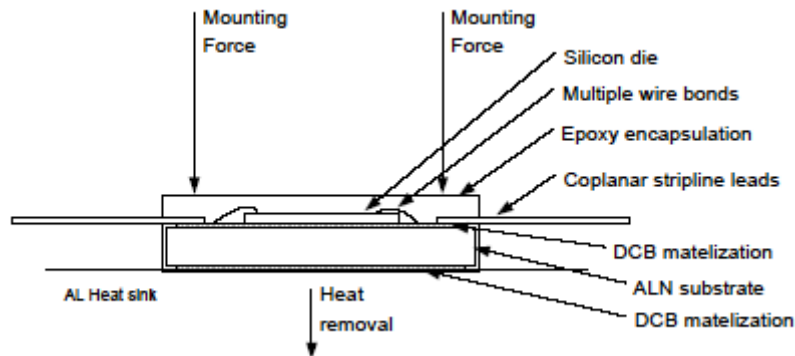


図 7 DE シリーズの断面図

この図に示したのは DE シリーズの素子と、ダイ表面からヒートシンクに至る熱経路の断面図である。層の厚さを最小限に抑えるとともに、熱インピーダンスが低く、TCE がシリコンに近い素材を選択することにより、熱インピーダンスとダイストレスを抑制するだけでなく、素子とゲート、ドレイン、ソースの電氣的絶縁を考慮した多層構造を組み立てた。このような構造と素材の選択によって、DE シリーズの素子では、わずか $0.10^{\circ}\text{C}/\text{W}$ という類まれな熱抵抗 ($R_{\theta jc}$) を実現しているのである。

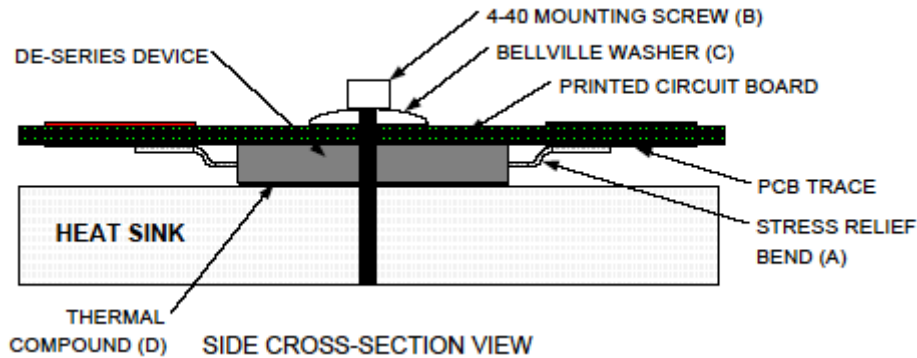


図 8 高出力マウント

熱インピーダンスを低く抑えるには、パッケージの熱抽出表面とヒートシンクの間には密接な接触を維持すると同時に、素子が X (ヒートシンクの幅)、 Y (ヒートシンクの長さ)、および Z (放熱面に対する垂線) において膨張できるようにパッケージを設計しなければならない。図 8 に DE シリーズにおいてこの設計がどのように実現されているかを図示する。

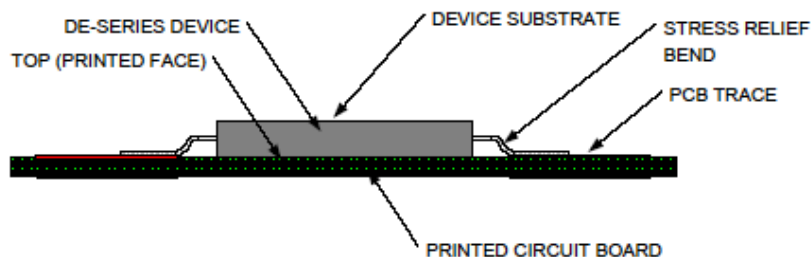
(A) リード線を曲げ、PCB の底側にはんだ付けする。この場合、PCB とともに素子をヒートシンクから取り外すことによって組立て手順を簡易化することができる。DE シリーズのリード線は純度 99.9%の銅製であり、粒子構造をリードの長さ方向において位置合わせすることにより、極めて軟質のリードを創出した。これを応力緩和曲げと組み合わせることにより、極めて優れたリードのコンプライアンスを確保し、パッケージシール部への応力を低く抑制することができるのである。

(B) 二本のねじが素子両端で PCB を貫通し、これを圧縮固定することにより、 X と Y 間のコンプライアンスを確保している。

(C) 縦のコンプライアンスを確保し、素子への圧力を均一に維持するには、ベルビルワッシャーを使用することができる。こうすることにより、接触を失わずに Z 方向における縦の膨張に対処することができる。

(D) DE シリーズのパッケージ設計は、サーマルコンパウンド上にほぼ浮遊している。このため、素子はヒートシンクとの優れた熱接触を維持しながら、なおかつ X 、 Y 、 Z において膨張するとともに、力学的応力を最小限に抑制することができる。

このようなパッケージ設計とマウント構成により、DE シリーズでは従来の組織に比べて高電力対応機能が大幅に向上し、なおかつ素子分離が実現したのである。



SIDE CROSS-SECTION VIEW

図9 低出力マウント

低平均出力アプリケーションの場合、素子は、図9に示すように、従来の表面マウント様式におけるコンポーネント側に取り付けることができる。(低出力とは、素子の空気への自由散逸定格を超えない出力レベルとして定義される。) MOSFET は、素子の上部(印字面)がPCBに対して水平になるように、PCBのコンポーネント側に取り付けられる。

品質と信頼性

IXYSRF は電力用半導体における新たな卓越性水準の確立に取り組んでいる。中から高出力の素子製造における業界リーダーシップへの我々の貢献を反映し、未加工原料の選定や設計、プロセス技術において主要な位置を占めているのは信頼性である。信頼性の確保では、応用研究や工学設計、フィールドでの応用分析、加速応力試験などから得られた情報を活用し、これらの知見を統合することによって素子の設計や製造工程の最適化を図っている。電力量半導体製品において最も信頼性されるサプライヤになるという我々の目標を実現するため、信頼性に影響を及ぼすあらゆる領域にはかなりの注意を払っているのである。

我々は、IXYSRF の製品は顧客のシステムにおいて最も信頼性の高いコンポーネントであると自負している。我々はこれまで、かなりの資源を傾注することにより、我々の素子設計やウェハ製造工程、組立工程、試験性能を持続的に改善し、最適化してきた。このような投資の結果、IXYSRF では、全製品シリーズを通じ、すべての標準化試験において信頼性に関わる性能が劇的に向上した。製品における優れた信頼性が、試験によって判断されるのではなく、実際に「組み込まれて」いるのである。さらに、このような高い信頼性を確保するには、設計から未加工原料、製造に至るすべての関係者を巻き込んだ総合的なシステム上のアプローチが必要になる。市場に発売される新製品の適格性評価に加え、標準的な製品に対しても生命や環境に関わる試験を定期的実施することにより、組立や製造の性能に関するフィードバックを維持し、製品の信頼性を保証している。

このような目的のために実施している試験は、高温逆バイアス (HTRB)、高温ゲートバイアス (HTGB)、温度サイクル湿度試験、出力サイクルである。詳細は IXYSRF のウェブサイト (www.directedenergy.com および www.ixys.com) を参照のこと。

結論

DE シリーズの素子は、他に類を見ない速度と出力、周波数を複合的に実現したものである。具体的なメリットをあらためて以下に示す。

DE シリーズの主要なメリット

1. **スイッチング速度**—HF RF MOSFET 素子と同等かもしくはそれ以下であるが、従来型の MOSFET よりも約 5～10 倍速い。
2. **周波数**—多くの HF RF 素子と同等であり、従来型の MOSFET より少なくとも 5～10 倍高い。
3. **高利得**—HF RF MOSFET 素子よりも約 3 倍高い。
4. **電力消費**—HF RF MOSFET 素子の約 2 倍であり、従来の MOSFET 素子と比較すると 3 倍以上高い。
5. **高出力表面マウント設計**—このような設計により、高または低出力構成の他のあらゆるコンポーネントとともに素子を PCB 上に実装し、システムの機械学的組立を簡易化することができる。
6. **力学的ストレスの軽減**—素子はサーマルコンパウンド上に浮遊しているため、ハードウェアの取り付けによって新たなパッケージストレスが誘発されることはない。
7. **低インダクタンスのパッケージング**—DE シリーズでは、同等性能の電力素子の中で最も挿入インダクタンスが小さい。
8. **経済的な高出力マウント**—取り付け構成では PCB の機械加工や高価なクランプ機構が不要である。

DE シリーズでは、電気的、機械学的、熱的に現在利用できる最も高度な高速素子設計を採用している。シリコンダイとパッケージングの組み合わせによる DE シリーズは、高出力、高速のアプリケーションに選択すべき理想的な素子なのである。